

iAP20 Rec'd PCT/PTO 28 JUL 2006

明 細 書

アバランシ・フォトダイオード

技術分野

[0001] 本発明は超高速アバランシ・フォトダイオードに関する。

背景技術

[0002] アバランシ・フォトダイオード(APD)は、光吸収により発生したキャリア(電子とホール)を、なだれ機構により増倍させ、その出力電流を取り出すことによりノイズの低い光レシーバとして用いるデバイスである。最近の長波長帯域用アバランシ・フォトダイオードでは、光吸収層となだれ増倍層とを分離した構造であるSAM(Separated Absorption and Multiplication)構造とされるのが一般的である。このSAM構造においては、光吸収層となだれ増倍層の電界強度を独立に制御するために、それらの層の間に電界制御層とバンドギャップ傾斜層とが設けられる。

[0003] アバランシ・フォトダイオードは、2.5Gbit/sシステム及び10Gbit/sシステムに広く導入されるようになり、さらに次世代の40Gbit/sシステム向けの素子としても開発がなされつつある。

[0004] このような超高速アバランシ・フォトダイオードの技術分野においては、比較的低速動作の構造として従来典型的に用いられてきた構造であるところのInPをなだれ増倍層とする「ホール注入型」ではなく、高速動作の観点から有利となる「電子注入型」のアバランシ・フォトダイオードが注目されている。これまでに報告されている代表的な電子注入型のアバランシ・フォトダイオードは、光吸収層を空乏化InGaAsとし、なだれ増倍層をInAlAsとしたアバランシ・フォトダイオードである。

[0005] 図1は、このような電子注入型のアバランシ・フォトダイオードの動作状態におけるバンドダイアグラムである。この図において、41はn型電極層、42はなだれ増倍層(InAlAs)、43は電界制御層、44はバンドギャップ傾斜層、45は低濃度光吸収層(InGaAs)、46はp型電極層、47はp電極である。なお、光吸収層45は、その全域にわたって空乏化している。

[0006] このような「電子注入型」のアバランシ・フォトダイオードの構造は高速動作に有利で

ある。しかしながら、その反面、そのなだれ増倍層として用いられるInAlAsのバンドギャップが、「ホール注入型」のアバランシ・フォトダイオードのなだれ増倍層として用いられてきたInPのバンドギャップよりも大きいため、一定の電界強度が印加された状態でのイオン化率が相対的に低くならざるを得ず、素子の動作電圧が高くなってしまいうという問題がある。

- [0007] このような構造のほかに、光吸収層をp型中性層(非空乏化領域)とこれに隣接する薄い低濃度層(空乏化領域)とで構成し、非空乏化領域であるp型中性層を主たる光吸収層とした「電子注入型」のアバランシ・フォトダイオードの構造も報告されている(特許文献1参照)。
- [0008] 図2は、このような電子注入型のアバランシ・フォトダイオードの動作状態におけるバンドダイアグラムである。この図において、51はn型電極層、52はなだれ増倍層、53は電界制御層、54はバンドギャップ傾斜層、55は低濃度光吸収層(低濃度層)、56はp型光吸収層(p型中性層)、57はp型電極層、58はp電極である。ここで、非空乏化領域であるp型中性層はInGaAs層である。
- [0009] この構造の電子注入型のアバランシ・フォトダイオードの光吸収層は、殆どが非空乏化領域であるp型光吸収層56により占められている。すなわちこの構造は、「光吸収層を可能なかぎりp型とした構造」である。この図に示した構造のアバランシ・フォトダイオードは、主として、暗電流の低減を目的とするものであるが、動作電圧の低減化にも有効な構造である。
- [0010] ところで、所望のアバランシ・フォトダイオードの性能を得るためには、光吸収層の厚さの決定が重要である。なだれ増倍が生じない状態(pinフォトダイオード動作時)でのキャリア発生率(量子効率)が高くなければ、例えなだれ増倍を行ったとしても高いS/N比を確保できない。よって、確保すべき周波数応答帯域の範囲において光吸収層の厚さ(W_A)を可能な限り厚く設計する理由はこのことによる。
- [0011] しかしながら、p型中性層を主たる光吸収層とする図2に示した構造で10Gbit/s以上の動作速度を実現しようとする、キャリア走行時間と量子効率とのトレードオフの関係により、光吸収効率(量子効率)が低下してしまうという問題が生じる。これは、空乏化したInGaAs層とp型中性のInGaAs層におけるキャリア速度は、前者の方が

遙かに大きいことに起因している。すなわち、キャリア走行時間を一定値以下となるように設計すると、p型中性のInGaAs層(p型中性層)の厚さの上限は、空乏化したInGaAs層を用いる場合の上限よりも薄くなることによるものである。

[0012] 以下に、確保すべき周波数応答帯域の範囲における光吸収層の厚さの半定量的な見積りについて説明する。

[0013] アバランシ・フォトダイオードは、pin型フォトダイオードに、比較的薄いなだれ増倍層を接続した構造として考えることができよう。その帯域は、pinフォトダイオードとして動作する状態の真性帯域(真性3dB帯域)から、なだれ増倍率が増加するにつれて、利得帯域積一定のラインに漸近するかたちで次第に低下する。しかるべき特性を得るには、利得帯域積とともに、pinフォトダイオード動作時の真性3dB帯域を高く保つことが重要となる。pin動作時の真性3dB帯域は、光吸収層と増倍層中のキャリア走行時間で支配される。しかしながら、通常のアバランシ・フォトダイオードの構造では増倍層は光吸収層よりもはるかに薄いので、光吸収層中のキャリア走行時間が特性決定のための支配的なファクタとなる。

[0014] 増倍層構造は、光吸収層とはほぼ独立に設計できるものであり、増倍層のキャリア走行時間は共通に追加され则认为て良い。よって、ここでは、光吸収層のみで決まると仮定した際の帯域を考える。電子に比べホール飽和速度($v_h = 5 \times 10^6 \text{ cm/s}$)ははるかに小さい。従って、光吸収層がすべて空乏化した構造(光吸収層厚 W_{AD})におけるキャリア走行時間 τ_D は v_h で決まるものと近似すると、電荷制御モデルに従って、

[0015] [数1]

$$\tau_D = W_{AD} / 3v_h \quad (1)$$

[0016] が得られる。また、3dB帯域(f_{3dB})は、

[0017] [数2]

$$f_{3dB,D} = 1 / [2\pi\tau_D] = [1 / W_{AD} (\mu\text{m})] \times 24 \text{ GHz} \quad (2)$$

[0018] で与えられる。例えば、10Gbit/s信号を受信する素子の3dB帯域は、素子設計上の余裕を考慮すると、おおよそ $f_{3dB,D} = 20 \text{ GHz}$ が目安であるから、 W_{AD} は、 $1.2 \mu\text{m}$

程度にする必要がある。この W_{AD} の全領域にわたってホールの飽和速度を維持するためには、電界強度は 50kV/cm 以上、すなわち電圧は最低で 6V 以上が必要である。よって、なだれ増倍時の光吸収層電界強度は通常 100kV/cm 程度に設計するから、光吸収層部分の電圧降下は 12V とかなり大きくなる。

- [0019] 一方、光吸収部分が、中性化光吸収層(濃度一定でその厚さが W_{AN})のみの場合には、キャリア走行時間 τ_N は電子の拡散時間で決まる。p型光吸収層で発生したホールは多数キャリアであるから、ホールの運動ではなくホール電流として、電荷中性を保つように応答する。従って、ホールの輸送特性が応答速度に直接関与することはない。電子の拡散係数を D_e とすると、キャリア走行時間(τ_N)は、

[0020] [数3]

$$\tau_N = W_{AN}^2 / 3D_e \quad (3)$$

- [0021] となり、 3dB 帯域($f_{3\text{dB}}$)は、

[0022] [数4]

$$f_{3\text{dB},N} = 1 / [2\pi\tau_N] \quad (4)$$

- [0023] で近似される。光吸収層にドーピング濃度 $3 \times 10^{17}\text{cm}^{-3}$ のInGaAsを用いると、電子の移動度が $6,000\text{cm}^2/\text{Vs}$ 、拡散係数は $150\text{cm}^2/\text{s}$ 程度であるから、

[0024] [数5]

$$f_{3\text{dB},N} = [1/W_{AN}^2 (\mu\text{m}^2)] \times 7.2\text{GHz} \quad (5)$$

- [0025] となる。同様に、 $f_{3\text{dB},N} = 20\text{GHz}$ を目安として考えると、必要な W_{AN} は $0.6\mu\text{m}$ 程度以下にする必要がある。中性化光吸収層を用いた場合には、キャリアを走行させるための電圧は必要ないので、素子の低電圧化には有利となる。その反面、光吸収層厚が空乏化光吸収層に比べ約半分の $0.6\mu\text{m}$ と薄いため、 $1.5\mu\text{m}$ 帯の量子効率は 50% 以下に留まり、感度の高いアバランシ・フォトダイオードを実現することが難しくなる。

- [0026] このように、アバランシ・フォトダイオードに望まれている動作電圧の低電圧化を中性化光吸収層を用いることで実現しようとする、 10Gbit/s 以上で高速動作する素

子の量子効率が低くなってしまうという問題が生じる。

[0027] 特許文献1: 日本国特許第3141847号公報

発明の開示

[0028] 本発明はこのような問題に鑑みてなされたもので、その目的とするところは、動作電圧の低電圧化と使用帯域での高量子効率化とを同時に実現可能な超高速アバランシ・フォトダイオードを提供することにある。

[0029] 本発明は、このような目的を達成するために、第1の実施態様に係る発明は、n型電極層と、なだれ増倍層と、電界制御層と、バンドギャップ傾斜層と、層厚 W_A の光吸収層と、p型電極層とが順次積層された積層体を備えているアバランシ・フォトダイオードであって、前記光吸収層は、前記p型電極層側に設けられた層厚 W_{AN} のp型層と前記バンドギャップ傾斜層側に設けられた層厚 W_{AD} の低濃度層との接合により構成されており、前記p型層および前記低濃度層の各々のドーピングプロファイルは、素子動作状態において、前記p型層については前記低濃度層との接合界面近傍領域を除いてp型中性状態を維持する一方、前記低濃度層については空乏化するように決定されているとともに、前記p型層の層厚 W_{AN} と前記低濃度層の層厚 W_{AD} との比が、光吸収により前記光吸収層中に発生するキャリアの走行に伴う素子応答の遅延時間を τ_{total} 、前記p型層に起因する遅延時間を τ_{N2} 、前記低濃度層に起因する遅延時間を τ_{D1} 、前記光吸収層の全域を前記低濃度層とした場合の遅延時間を τ_D とした場合に、前記光吸収層の層厚 $W_A (=W_{AN} + W_{AD})$ が一定の条件において、次式を満足するように決定されていることを特徴とする。

[0030] [数6]

$$\tau_D > \tau_{total} = (W_{AD} \times \tau_{D1} + W_{AN} \times \tau_{N2}) / W_A$$

[0031] 第2の実施態様に係る発明は、第1の実施態様に係る記載のアバランシ・フォトダイオードにおいて、前記p型層の層厚 W_{AN} と前記低濃度層の層厚 W_{AD} との比は、 $[(W_A \times \tau_{D1} + W_{AN} \times \tau_{N2}) / W_A]$ が極小値をとるように決定されていることを特徴とする。

[0032] 第3の実施態様に係る発明は、第1の実施態様に係るアバランシ・フォトダイオード

において、前記p型層および前記低濃度層は、InGaAsP混晶半導体から成り、素子動作時における前記低濃度層の空乏化厚が $0.3\mu\text{m}$ よりも厚い($W_{AD} > 0.3\mu\text{m}$)ことを特徴とする。

[0033] 本発明によれば、従来のアバランシ・フォトダイオードに比べて動作電圧の大幅な低電圧化が可能となり、より信頼性の高い素子の実現と、光レシーバの低電力化を図ることができる。また、求められる帯域に対して量子効率が最大(すなわち受信感度が最良)となる素子設計を可能とする。

[0034] このように本発明は、動作電圧の低電圧化と使用帯域での高量子効率化とを同時に実現可能な超高速アバランシ・フォトダイオードを提供するものであり、例えば、10 Gbit/s領域を含む超高速光レシーバの安定化と高性能化に寄与するものである。

図面の簡単な説明

[0035] [図1]図1は従来の典型的な電子注入型アバランシ・フォトダイオードの、動作時におけるバンドダイアグラムである。

[図2]図2は特許文献1に開示されている電子注入型アバランシ・フォトダイオードの、動作時におけるバンドダイアグラムである。

[図3A]図3Aは本発明のアバランシ・フォトダイオードの断面構造の模式図である。

[図3B]図3Bは本発明のアバランシ・フォトダイオードの動作時におけるバンドダイアグラムである。

[図4]図4はキャリア走行に伴う素子応答の遅延時間(τ_{total})と3dB帯域の、中性化光吸収層の厚さ W_{AN} 依存性の計算例について説明するための図である。

[図5A]図5Aは本発明のアバランシ・フォトダイオードの、pin-PD動作時のキャリア走行時間と3dB帯域の変化を説明するための図であって、 $W_A = W_{AD} + W_{AN} = 0.8\mu\text{m}$ 、 $D_e = 150\text{cm}^2/\text{s}$ 、 $v_h = 5 \times 10^6\text{cm}/\text{s}$ として τ_{total} と f_{3dB} を計算した例を説明するための図である。

[図5B]図5Bは本発明のアバランシ・フォトダイオードの、pin-PD動作時のキャリア走行時間と3dB帯域の変化を説明するための図であって、最適化された際に $f_{3dB} = 80\text{GHz}$ となる構造とした場合の τ_{total} と f_{3dB} を計算した例を説明するための図である。

発明を実施するための最良の形態

[0036] 以下に、図面を参照して本発明の実施の形態について説明する。

(第1の実施形態)

図3AおよびBは、本発明のアバランシ・フォトダイオードの構成例を説明するための図であり、図3Aは断面図、図3Bは動作時におけるバンドダイアグラムである。これらの図において、11はn型InPのn型電極層、12はInPのなだれ増倍層、13はInPの電界制御層、14はInGaAsPのバンドギャップ傾斜層、15は低濃度InGaAsの低濃度光吸収層、16はp型InGaAsのp型光吸収層、17はp型InGaAsPのp型電極層、18および19は金属電極でありそれぞれn電極およびp電極である。なお、p型光吸収層16および低濃度光吸収層15は、InGaAsに限らずInGaAsP混晶半導体としてもよい。

[0037] このアバランシ・フォトダイオードは、その動作状態において、p型光吸収層16はその一部を除いてp型中性(非空乏化光吸収層)を保ち、かつ、低濃度光吸収層15は空乏化(空乏化光吸収層)する様に、各々の光吸収層のドーピング濃度分布が決定されている。

[0038] 光吸収層に光信号が与えられると、p型光吸収層16と低濃度光吸収層15にそれぞれ電子／ホール対が発生する。p型光吸収層16中の電子は、p型電極層17で形成されたポテンシャルバリアに阻まれ、空乏化している低濃度光吸収層15へと拡散する。それと同時に、空乏化している低濃度光吸収層15中の電子とホールは、それぞれ電界により逆方向にドリフトして低濃度光吸収層15の両側へと流れる。これら2つの光吸収層領域で発生した電子は、InGaAsPのバンドギャップ傾斜層14およびInPの電界制御層13を介してなだれ増倍層12に達し、インパクトイオン化(なだれ増倍)を起こす。

[0039] 光吸収層内で電圧降下が生じるのは、空乏化している低濃度光吸収層15の部分のみである。よって、同様のなだれ増倍層を用いるならば、光吸収層がすべて空乏化している従来のアバランシ・フォトダイオードに比べ動作に必要な電圧は低下する。例えば、十分な量子効率を確保するため、光吸収層厚を $1.2\mu\text{m}$ とした構造においては、従来の光吸収層全域にわたって空乏化させる典型的な構造では、光吸収層の電圧降下は12V程度になる。一方、本発明のアバランシ・フォトダイオードによ

れば、例えば、空乏化している低濃度光吸収層15の層厚を $W_{AD}=0.7\mu\text{m}$ 、p形光吸収層16の層厚を $W_{AN}=0.5\mu\text{m}$ とすると、なだれ増倍動作時の光吸収層電界を100kV/cmと仮定して、そこでの電圧降下は7Vとなり、必要なアバランシ・フォトダイオードの動作電圧は5V低減する。

[0040] これに対して、図2に示した「光吸収層を可能なかぎりp型とした構造」は、動作電圧の低減には適しているものの、上述したように、一定以上の動作帯域(例えば10Gbit/s動作)を確保する場合には効率が低下してしまうという制約を回避することができない。

[0041] 図4は、光吸収層の総厚を $1.2\mu\text{m}$ とした場合の本発明のアバランシ・フォトダイオードについての、キャリア走行に伴う素子応答の遅延時間(τ_{total})と3dB帯域の、P型光吸収層の厚さ(W_{AN})依存性の計算例を説明するための図である。この図から、動作帯域に関しては、 $W_{AD}=0.7\mu\text{m}$ 、 $W_{AN}=0.5\mu\text{m}$ の条件で、従来形APDと同程度の性能が実現できることが読み取れる。

[0042] 結局、本発明によれば、従来のAPDと同一の量子効率と動作速度を保ちながら、動作電圧を5V低減させることができる。なお、動作速度に関しては、次の「第2の実施形態」で詳しく説明するように、「一定の光吸収層厚の条件において、空乏化光吸収層とp型光吸収層を組み合わせた構造」は、従来のアバランシ・フォトダイオードに比較してより高い帯域を実現可能なパラメータの範囲が常に存在する。

[0043] ここで、特許文献1に記載されているアバランシ・フォトダイオードと本発明のアバランシ・フォトダイオードの相違点について説明すると以下のとおりである。すなわち、目的においては、特許文献1に記載されているアバランシ・フォトダイオードが「暗電流の経時劣化」を改善するのに対して、本発明は「低電圧化と高量子効率化の両立の実現」を目的としている。

[0044] そして、それらの構成においては、特許文献1に記載されているアバランシ・フォトダイオードが、「空乏化する光吸収層の層厚を薄くする」ことにより、表面積の極小化の効果として「暗電流の経時劣化」が抑制され、安定な暗電流特性・高信頼性が実現できることとなる。これに対して、本発明は「キャリアの全走行時間を極少値にするように空乏化領域と非空乏化領域の厚みを決定」することにより「低電圧化と高量子

効率化の両立の実現」を可能としている。

[0045] このような構成上の差異の結果、特許文献1に記載されているアバランシ・フォトダイオードにおいては、空乏化領域と非空乏化領域の厚みは独立に定められる。これに対し、本発明においては、空乏化領域と非空乏化領域の厚みは、これらの領域が構成する光吸収層の総厚みが一定という条件の下で、キャリアの全走行時間を極少値にするように空乏化領域と非空乏化領域の厚みが決定(最適化)される。

[0046] なお、図2に示した構造のアバランシ・フォトダイオードと暗電流レベルを比較すると、本発明のアバランシ・フォトダイオードの空乏化光吸収層の方が厚いために、この空乏化光吸収層の厚さが暗電流の増加の原因となりうる。しかしこのような暗電流は、表面の電界強度を下げるためにガードリング構造を設けたアバランシ・フォトダイオードとして、回避することが可能である。

[0047] (第2の実施形態)

本発明のアバランシ・フォトダイオードのpin-PD動作時における帯域において、空乏化光吸収層およびp型光吸収層の各層独立でのキャリア走行時間を求めると、基本的に式(1)および式(3)に従って、p型光吸収層のキャリア走行時間として $\tau_N = W_{AN}^2 / 3D_p$ が得られる。また、アバランシ層は層厚が薄いのでその部分の影響を無視すると、空乏化光吸収層のキャリア走行時間として $\tau_D = W_{AD} / 3v_h$ が得られる。

[0048] 電荷制御モデルの定義に従えば、それぞれの層の電荷変化量(空乏化光吸収層の ΔQ_D とp型光吸収層の ΔQ_N)と電流変化(空乏化光吸収層の ΔI_D とp型光吸収層の ΔI_N)とは、

[0049] [数7]

$$\tau_D = \Delta Q_D / \Delta I_D, \quad \tau_N = \Delta Q_N / \Delta I_N \quad (6)$$

[0050] の関係をもつ。ここで全光吸収層厚を $W_A = W_{AD} + W_{AN}$ とすると、各層同時にキャリアが発生する際、全キャリア走行時間 τ_{total} は、一般には、単純な和($\tau_D + \tau_N$)とはならない。なぜならば、一般の構造では、空乏化層“D1”と中性層“N2”とで発生したキャリアは互いの領域の電荷密度に影響を与えるために、互いの領域の電荷増分(ΔQ_{N1} と ΔQ_{D2})の項が加わるからである。結局、空乏化層“D1”と中性層“N2”のキャリ

ア発生による電荷量変化($\Delta Q_{D1} + \Delta Q_{N1}$ 、及び $\Delta Q_{N2} + \Delta Q_{D2}$)、と電流変化(ΔI_D 及び ΔI_N)との関係は、

[0051] [数8]

$$\tau_{D1} = (\Delta Q_{D1} + \Delta Q_{N1}) / \Delta I_D, \quad \tau_{N2} = (\Delta Q_{N2} + \Delta Q_{D2}) / \Delta I_N \quad (7)$$

[0052] で与えられる。ここで、 $\tau_{D1} \geq \tau_D$ および $\tau_{N2} \geq \tau_N$ である。

[0053] しかしながら、電子とホール速度が極端に異なるInP系半導体を用いた電子注入構造においては、光吸収層以外の層の走行時間を無視した場合、

[0054] [数9]

$$\tau_{total} = (W_{AD} \times \tau_{D1} + W_{AN} \times \tau_{N2}) / W \quad (8)$$

[0055] で近似され、 τ_{D1} と τ_{N2} のそれぞれが、層厚で比例配分された和の形となる。

[0056] 式(8)のように単純化できる理由は以下のとおりである。電子速度がホール速度よりも十分に大きいと、p型光吸収層から空乏化光吸収層に注入された電子電荷は、空乏層の電荷状態(ほとんどホールで決まる)をわずかしき変化させない。一方、空乏化光吸収層で発生したホールがp型光吸収層に流れ込む際には、そこが中性であるがゆえに電荷を誘起しない。従って、 $\Delta Q_{N1} = \Delta Q_{D2} = 0$ の条件が成立し、全電荷量の変化は、 $\Delta Q_{D1} + \Delta Q_{N2}$ と近似される。全電荷に対する走行時間は、電流変化分について和($= \Delta I_D + \Delta I_N$)を取り、

[0057] [数10]

$$\tau_{total} = (\Delta Q_{D1} + \Delta Q_{N2}) / (\Delta I_D + \Delta I_N), \quad (9)$$

[0058] が得られ、さらに、 ΔI_D と ΔI_N は対応する層厚 W_{AD} および W_{AN} に比例するので、式(8)および式(9)から、

[0059] [数11]

$$\begin{aligned} \tau_{total} &\doteq (\Delta I_D \times \tau_{D1} + \Delta I_N \times \tau_{N2}) / (\Delta I_D + \Delta I_N) \\ &\doteq (W_{AD1} \times \tau_D + W_{AN} \times \tau_N) / (W_{AD} + W_{AN}) \\ &= (W_{AD}^2 / 3v_h + W_{AN}^3 / 3D_e) / W_A \\ &= [(W - W_{AN})^2 / 3v_h + W_{AN}^3 / 3D_e] / W_A \end{aligned} \quad (10)$$

[0060] となる。

帯域は $f_{3dB} = 1/[2\pi\tau_{total}]$ で近似されるので、式(10)の τ_{total} が最小になる様に W_{AD} と W_{AN} を定めることにより本発明のアバランシ・フォトダイオードの帯域を最適化できる。

[0061] W_A を一定とした場合には、式(10)は、

[0062] [数12]

$$W_{AN} = \left[-2D_e/3v_h + \left[(2D_e/3v_h)^2 + 8WD_e/3v_h \right] n^{0.5} \right] / 2 \quad (11)$$

[0063] で極少値を取り、それから外れると τ_{total} は増大し、 f_{3dB} は低下する。

[0064] ここで重要なことは、一定の全光吸収層幅 $W_A = W_{AD} + W_{AN}$ の条件において、空乏化光吸収層とp形光吸収層を組み合わせた構造とすることにより帯域が増大することである。また、 τ_{total} の極少点は、明らかに W に対して単調増加関数であるから、一定の τ_{total} ないし f_{3dB} に対して、 τ_{total} の極少点を与える W_{AD} と W_{AN} の組み合わせは、 W_A の最大値、すなわち量子効率最大の点を与えることが理解される。

[0065] (第3の実施形態)

以下では、本発明のアバランシ・フォトダイオードの具体的な構造について、帯域 f_{3dB} が最大となる W_{AD1} と W_{AN} の組み合わせについて説明する。ここでは、構造例として、40Gbit/s アバランシ・フォトダイオードを念頭において考える。

[0066] 図5Aは、 $W_A = W_{AD} + W_{AN} = 0.8 \mu m$ 、 $D_e = 150 \text{ cm}^2/\text{s}$ 、 $v_h = 5 \times 10^6 \text{ cm/s}$ として τ_{total} と f_{3dB} を計算した例を説明するための図である。p形光吸収層厚を $W_{AN} = 0.31 \mu m$ 、空乏化光吸収層厚を $W_{AD} = 0.49 \mu m$ とする、 τ_{total} が最小値 2.8ps、 f_{3dB} が最大値 55GHz となることが分かる。すなわち、p形光吸収層のみの構造における f_{3dB} (11GHz) もしくは空乏化光吸収層のみの構造における f_{3dB} (30GHz) に比べ、飛躍的な帯域の増大が見込まれる。

[0067] アバランシ・フォトダイオードの動作は、利得帯域積により制限を受け、おおよそ 20GHz 程度が限界と考えられている。意味のあるなだれ増倍利得 M (例えば $M=2.5$) を得ることができる帯域は最大で約 80GHz である。

[0068] 図5Bは、全光吸収層厚を $0.6 \mu m$ と一定とし、最適化された際に $f_{3dB} = 80\text{GHz}$ と

なる構造とした場合の τ_{total} と f_{3dB} を計算した例を説明するための図である。この図から、最大の f_{3dB} を与えるp型光吸収層厚と空乏化光吸収層厚として、 $W_{\text{AN}} = 0.26 \mu\text{m}$ 、 $W_{\text{AD}} = 0.34 \mu\text{m}$ が得られる。結局、本発明における光吸収層の設計手法がアバランシ・フォトダイオードの動作で実用的に意味がある空乏化光吸収層の厚さは、 $W_{\text{AD}} > 0.3 \mu\text{m}$ の範囲にあり、図3(b)で扱ったものよりも動作速度が低い素子では、最適な空乏化光吸収層の厚さは増加する方向にある。

[0069] なお、上述した第2の実施形態および第3の実施形態では、説明の複雑化を避けるために、電荷制御モデルに基づく説明を行ったが、本発明を実施するためには電荷制御モデル以外の手法を適用することが可能なことはいうまでもない。例えば、素子中のキャリアの速度電界特性を用いて連続の式をベースにした手法や、モンテカルロ計算による手法を用いることにより、本発明の基本となるアバランシ・フォトダイオードの構成法に関する指針に何ら変更を加えることなく、より精度の高い構造最適化が可能である。

[0070] また、これまでの実施形態の説明においては、p型光吸収層中の電子輸送を拡散メカニズムに基づいて取り扱ったが、バンドに傾斜をつけて擬電界を与えた構造もキャリア走行時間の短縮化には有効である。この構造を採用する場合の最適な W_{AN} と W_{AD} の比率は、p型光吸収層中の電子輸送が拡散のみの場合とは異なってくるものの、本発明の基本思想である「キャリアの全走行時間を極少値にする」という思想に基づいて素子設計することができる。

産業上の利用可能性

[0071] 本発明は、動作電圧の低電圧化と使用帯域での高量子効率化とを同時に実現可能な超高速アバランシ・フォトダイオードの提供を可能とする。

請求の範囲

- [1] n型電極層と、なだれ増倍層と、電界制御層と、バンドギャップ傾斜層と、層厚 W_A の光吸収層と、p型電極層とが順次積層された積層体を備えているアバランシ・フォトダイオードであって、

前記光吸収層は、前記p型電極層側に設けられた層厚 W_{AN} のp型層と前記バンドギャップ傾斜層側に設けられた層厚 W_{AD} の低濃度層との接合により構成されており、

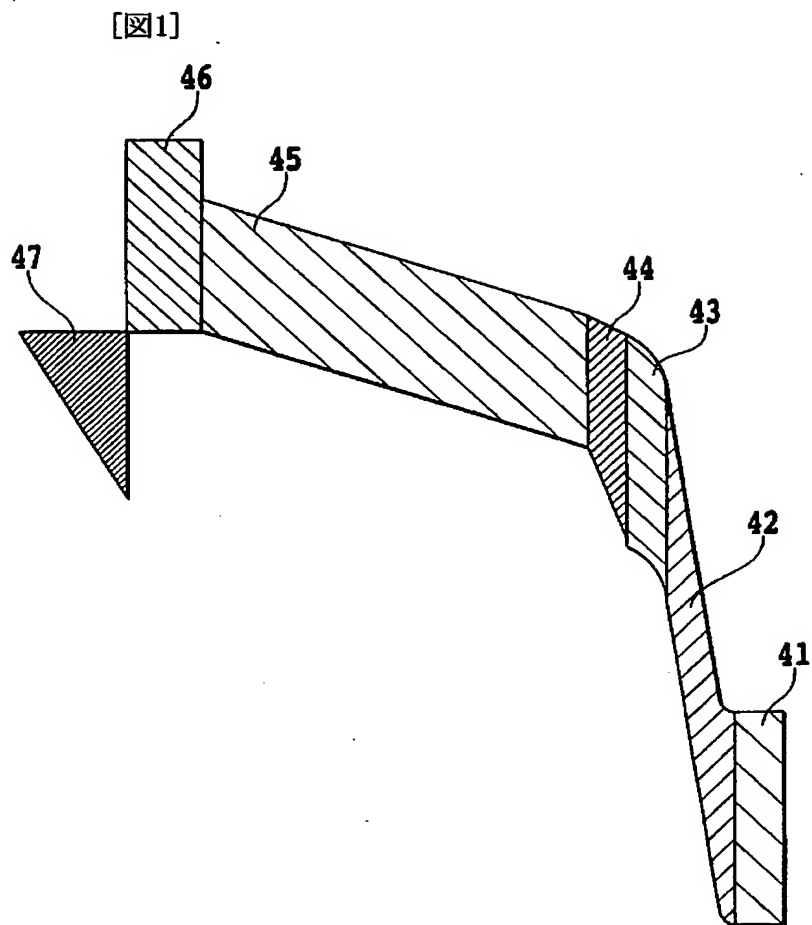
前記p型層および前記低濃度層の各々のドーピングプロファイルは、素子動作状態において、前記p型層については前記低濃度層との接合界面近傍領域を除いてp型中性状態を維持する一方、前記低濃度層については空乏化するように決定されているとともに、

前記p型層の層厚 W_{AN} と前記低濃度層の層厚 W_{AD} との比が、光吸収により前記光吸収層中に発生するキャリアの走行に伴う素子応答の遅延時間を τ_{total} 、前記p型層に起因する遅延時間を τ_{N2} 、前記低濃度層に起因する遅延時間を τ_{D1} 、前記光吸収層の全域を前記低濃度層とした場合の遅延時間を τ_D とした場合に、前記光吸収層の層厚 $W_A (=W_{AN} + W_{AD})$ が一定の条件において、次式を満足するように決定されていることを特徴とするアバランシ・フォトダイオード。

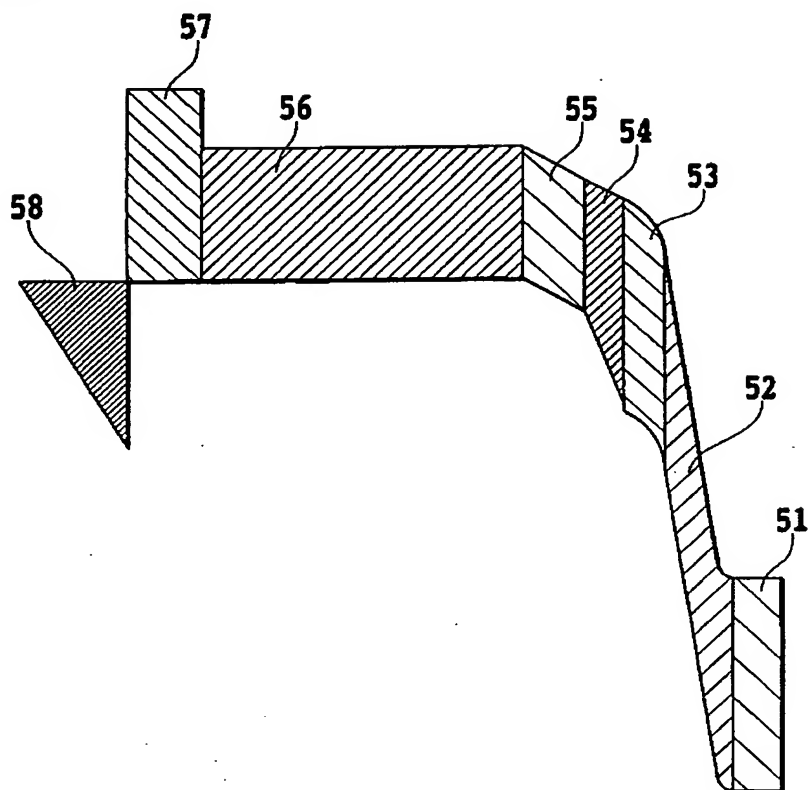
[数1]

$$\tau_D > \tau_{total} = (W_{AD} \times \tau_{D1} + W_{AN} \times \tau_{N2}) / W_A$$

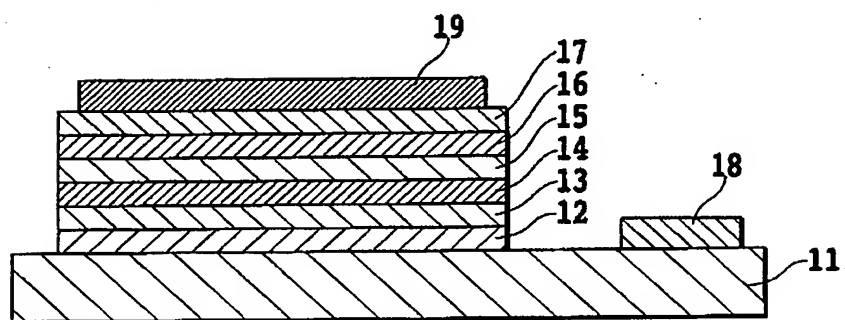
- [2] 前記p型層の層厚 W_{AN} と前記低濃度層の層厚 W_{AD} との比は、 $[(W_{AD} \times \tau_{D1} + W_{AN} \times \tau_{N2}) / W_A]$ が極小値をとるように決定されていることを特徴とする請求項1に記載のアバランシ・フォトダイオード。
- [3] 前記p型層および前記低濃度層は、InGaAsP混晶半導体から成り、素子動作時における前記低濃度層の空乏化厚が $0.3 \mu m$ よりも厚い($W_{AD} > 0.3 \mu m$)ことを特徴とする請求項1に記載のアバランシ・フォトダイオード。



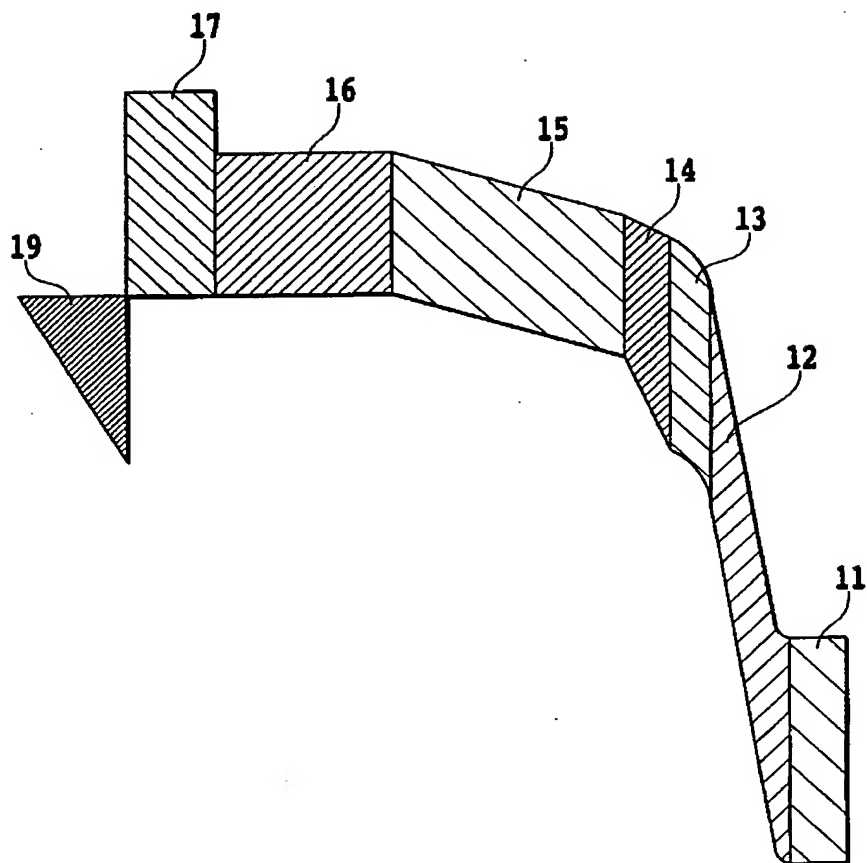
[図2]



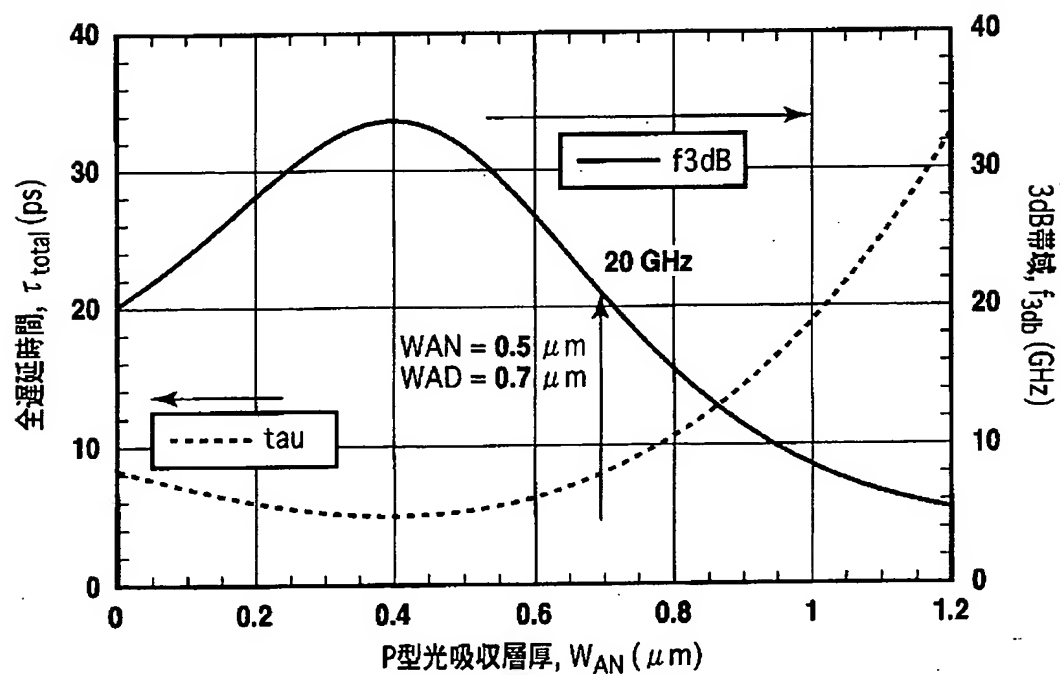
[図3A]



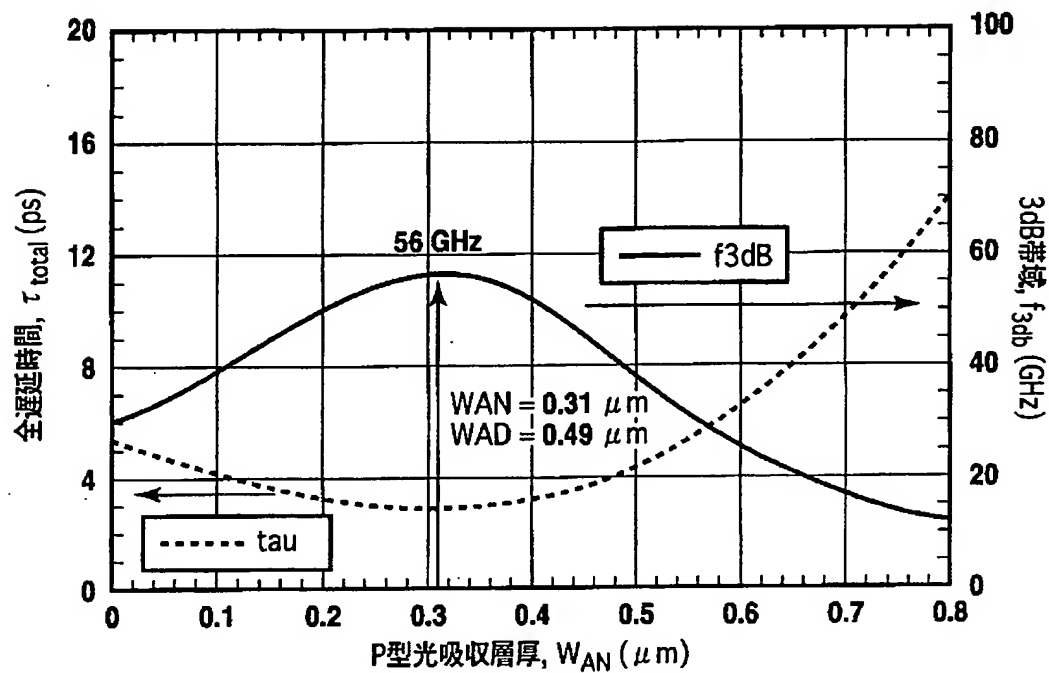
[図3B]



[図4]



[図5A]



[図5B]

